**Тема 4.3 Последовательностные цифровые устройства**

**Домашнее задание:**

1. Изучить тему «Последовательностные цифровые устройства».

Ответьте на следующие вопросы:

1. Дайте определение триггера и приведите его классификацию.
2. Опишите принцип работы транзисторного триггера по соответствующей схеме.
3. Укажите условное графическое обозначение интегрального RS – триггера на элементах ИЛИ-НЕ и И-НЕ.
4. В чем заключается предназначение счетчиков и регистров в последовательностных цифровых устройствах?

**Литература:**

1. Дунаев С.Д. Электроника, микроэлектроника и автоматика: учебник для техникумов и колледжей ж.-д. транспорта – М.:Маршрут, 2003. – 336 с., стр. 142-184

2. Бурков А.Т. Электроника и преобразовательная техника. Том2

Электронная библиотека УМЦ ЖДТ:

<https://umczdt.ru/read/18647/?page=1>

**Срок предоставления домашнего задания до 26.11.2020г.**

**Информацию предоставить на электронную почту:**

**GN-59@yandex.ru**

Логические устройства в цифровой технике разделяют на два класса комбинационные и последовательностные.

Комбинационные типы микросхем, к которым относятся дешифраторы, шифраторы, распределители, коммутаторы, компараторы кодов, мультиплексоры. Комбинационные цифровые устройства (КЦУ) не содержат элементов памяти.

В цифровой технике имеются последовательностные (иначе их называют последовательные) или конечные автоматы (цифровой автомат, автомат с памятью). В последовательностных устройствах обязательно имеются элементы памяти. Выходные сигналы последовательностных устройств определяются не только сигналами, имеющимися на входах в данный момент времени, но и состоянием элементов памяти. Таким образом, реакция последовательностного устройства на определенные входные сигналы зависит от предыстории его работы.

К последовательностным устройствам можно отнести триггеры, счетчики, регистры, полупроводниковые запоминающие устройства.

1. **Триггеры. Общие сведения.**

Триггеры нашли широкое распространение в устройствах автоматики, цифровых логических системах, в устройствах памяти, счетчиках и регистрах.

Триггером называется устройство, имеющее два устойчивых состояния, переход в которые происходит под действием входных управляющих сигналов. В одном из них на выходе триггера присутствует высокий потенциал, в другом – низкий. Аналогично мульти­вибратору переход триггера из одного состояния в другое про­исходит лавинообразно, но только с приходом переключающе­го (запускающего) сигнала.

Триггер содержит цепь управления и элемент памяти.

Цепи управления преобразуют входную информацию в сигналы для их запоминания и считывания. Независимых входов может быть один, два и более. Элемент памяти состоит из 2-х половин – плеч, в которых одновременно удерживается два запоминаемых сигнала: один сигнал соответствует высокому потенциалу (1), другой – низкому потенциалу (0).

В интервале между переключающими сигналами состояние триггера не меняется, т.е. триггер «запоминает» поступление сиг­нала, отражая это величиной потенциала на выходе.

Сказанное дает возможность использовать триггер как элемент памяти. Если совокупность триггеров установить в одинаковое (исходное) со­стояние, а затем на каждый триггер подать сигнал, соответствую­щий элементу цифрового кода, то на выходах триггеров устано­вятся и могут неограниченно долго присутствовать потенциалы, представляющие этот код в параллельной форме.

При переключении триггера потенциалы на его выходе меня­ются лавинообразно, т.е. на выходе формируется прямоуголь­ный импульс с крутыми фронтами. Это позволяет использовать триггер для формирования прямоугольных импульсов из напря­жения другой формы (например, из синусоидального).

При поступлении каждой пары переключающих импульсов потенци­ал на выходе триггера меняется от высокого к низкому и обратно, т.е. на выходе формируется один импульс. Таким образом, триггер можно ис­пользовать как делитель частоты переключающих импульсов на два.

Триггер имеет два выхода: выход с сигналом логической единицы часто называют прямым, а с логическим нулем – обратным или инверсным. Выходные сигналы могут быть считаны как с одного, так и с двух выходов одновременно и в зависимости от типа триггера информация при этом разрушается либо сохраняется.

Триггеры классифицируются по многим признакам, но выделяются два из них: по функциональному признаку и по способу записи информации в элементах памяти. **Функциональная классификация** опирается на виды логических уравнений, описывающих состояние триггеров в начальный момент и в момент после его переброса.

В соответствии с этой классификацией триггеры бывают с раздельным запуском (RS – триггер), со счетным пуском (T– триггер), с элементами задержки (D - триггер), универсальные (JK – триггеры) и т.д.

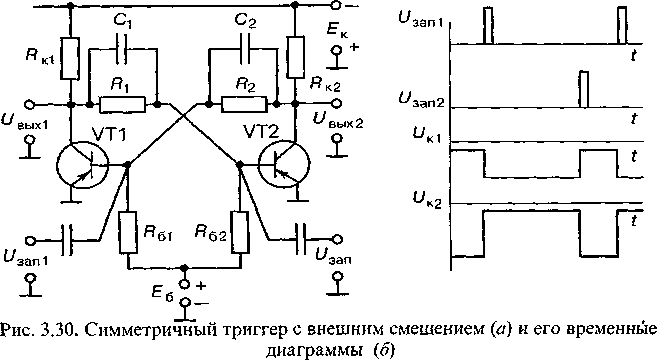
По **характеру управления** триггеры разделяются на асинхронные и тактируемые. Состояние асинхронного триггера однозначно зависит от уровня входного сигнала. Тактируемый триггер имеет дополнительный вход для тактовых сигналов, только при поступлении которых он будет управляться входными сигналами.

**2. Транзисторные триггеры**

Физические процессы в триггере раскрываются наиболее пол­но при рассмотрении его схемы на дискретных компонентах. По­этому первым рассмотрим такой триггер.

К основным схемам транзисторных триггеров относятся симметричные триггеры с вне­шним и автоматическим смещениями и несимметричный триггер.

Симметричный триггер с внешним смещением. Схема этого триг­гера, приведенная на рис. 3.30, а, содержит два резистивных усили­тельных каскада на транзисторных ключах-инверторах; выход каж­дого из них связан с входом другого резистивным делителем R—R6.



В схеме имеется положительная обратная связь, обеспечивающая в сочетании с усилительными свойствами каскадов лавинное протекание процессов.

Опишем устойчивые состояния схемы и ее переключения (рис. 30, б). Предположим, транзистор VT1 заперт. Тогда при правильно выб­ранных сопротивлениях делителя R1—Rб2 потенциал базы транзисто­ра VT2 может быть достаточно отрицательным для насыщения тран­зистора (транзистор открыт). При этом Uk2 ~ 0 и потенциал базы транзистора VT1 не мо­жет быть отрицательным, т.е. VT1 действительно заперт. Этим дока­зано, что при одном открытом транзисторе, другой будет заперт.

Чтобы вывести схему из устойчивого состояния, можно подать положительный запирающий импульс на базу открытого транзи­стора. Предположим, что такой импульс подан на базу насыщен­ного сейчас транзистора VT1 . При этом VT1 выйдет из насыще­ния и потенциал его коллектора станет более отрицательным, че­рез делитель R1—Rб2 отрицательный перепад передастся на базу транзистора VT2, что вызовет отпирание транзистора VT2. Вследствие этого появится ток *I*к2, потенциал коллектора UK2 ста­нет менее отрицательным, через делитель R2—Rбl это изменение передастся на базу транзистора VT1, ток *I*к1 уменьшится, потенци­ал коллектора *UKl,* а следовательно, и базы VT2 станет более от­рицательным, ток *Iк2* возрастет и т.д. Лавинообразный процесс увеличения тока Iк2 и уменьшения тока /к1 завершится запиранием транзистора VT1 и отпиранием транзистора VT2, т.е. — переклю­чением триггера в другое устойчивое состояние. Для нового пере­ключения триггера положительный запускающий импульс нужно подать на базу насыщенного сейчас транзистора VT2.

Триггер имеет два выхода. Потенциалы на них взаимно инвер­тированы: высокий потенциал на одном выходе соответствует низкому потенциалу на другом. Один из выходов называют ос­новным (и обычно обозначают\_буквами Q или Р), другой — ин­версным (обозначают буквами Q или Р ).

О состоянии триггера судят по состоянию его основного выхо­да. Если на нем установился потенциал, кодируемый логической единицей, то говорят, что триггер находится в состоянии единицы и часто обозначают это как Q = 1 (или Р = 1).

Вход, по которому запускающий импульс переключает триг­гер в состояние Q = 1, называют входом установки триггера в единицу и обозначают буквой **S**. Другой называют входом уста­новки триггера в нуль и обозначают буквой **R**. Входы S и R *ин­формационные*: через них в триггер поступает информация, выра­женная наличием или отсутствием переключающего сигнала.

Триггеры называют триггером с установочными входами, или RS-триггерами. Условное обозначение их приведено на рис. 3.31; верхний на рисунке выход триггера — основной; нижний (обозна­чен кружком) — инверсный.

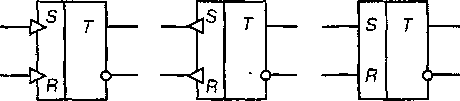


Рис. 3,31, Условное обозначение RS-триггера (а), (б), (в)

В левой части указываются типы логических входов(R, S,T, D и др.) в правой сверху стоит буква Т.

Для динамических триггеров линии подходят к заостренному знаку: у положительных входных сигналов острие направлено внутрь прямоугольника (срабатывание происходит при изменении сигнала от 0 до 1), у отрицательных сигналов, наоборот, острие направлены из прямоугольника (срабатывание триггера происходит при изменении сигнала от 1 до 0).

3. **Интегральные триггеры**

Интегральный триггер может быть выполнен монолитным (триггер интегрального исполнения) или реализован на логичес­ких микросхемах. Оба вида интегральных триггеров имеют обыч­но одинаковую функциональную структуру.

Интегральные триггеры бывают асинхронными (не тактируе­мыми) и синхронными (тактируемыми). Аналогично триггеру на дискретных компонентах, интегральный асинхронный триггер имеет лишь информационные входы, сигналы на которых с мо­мента их появления определяют состояние триггера. Синхронный триггер кроме информационных входов имеет синхронизующий (тактирующий, тактовый) вход; сигналы на информационных входах воздействуют на такой триггер только при сигнале на син­хронизирующем входе.

Асинхронный RS-триггер. На выходе элемента И—НЕ (ИЛИ— НЕ) имеется инвертор (усилитель). Поэтому на двух таких элемен­тах можно выполнить триггер, если вход одного элемента соеди­нить с выходом другого.

Полученный таким образом триггер является асинхронным RS'-триггером. Он имеет два входа: S — установки триггера в 1 и R — установки триггера в 0.

Асинхронный RS-триггер — простейший интегральный триггер, применяющийся самостоятельно, а также входящий в состав более сложных интегральных триггеров в качестве запоминающей ячейки.

RS-триггер на элементах ИЛИ—НЕ.

Рассмотрим воздействие на такой триггер (рис. 3.32, а) комбинаций сигналов S = 1, R = 1 и S = 0, R = 0.

Сочетание S = 1, R = 1 является запрещенным, так как при нем на обоих выходах триггера устанавливаются логические 0 и после снятия входных сигналов состояние его непредсказуемо.

Для элемента ИЛИ-НЕ логический 0 – это пассивный сигнал: с поступлением его на вход состояние выхода элемента не изменяется. Поэтому появление комбинации S = О, R = 0 не изменяет состояние триггера.

Логическая 1 для элемента ИЛИ—НЕ является активным сигна­лом: наличие ее на входе однозначно определяет на выходе логичес­кий 0 вне зависимости от сигнала на другом входе. Отсюда следует: переключающим сигналом для рассматриваемого триггера является логическая 1, а также то, что вход S (установка триггера в состояние Q = 1) должен быть связан с элементом, выход которого принят за Q.

Из всего сказанного следует: что для переключения триггера в со­стояние Q = 1 на его входы следует подать комбинацию S = 1, R = 0, а для переключения в состояние Q = 0 — комбинацию S = О, R = 1.

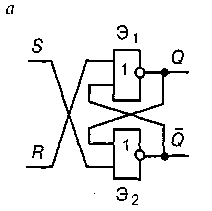
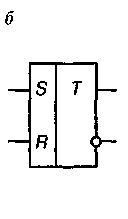
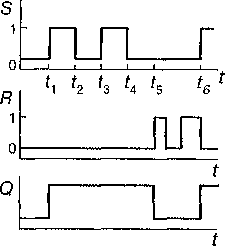
 

Рис. 3.32. Интегральный RS-триггер на элементах ИЛИ—НЕ **(а)** и его условное обозначение (**6)**

Пусть триггер находится в состоянии 0 (Q = О, C:\Users\C0BA~1\AppData\Local\Temp\FineReader12.00\media\image1.png= 1), а на входах действуют сигналы S=0 , R=0. Для его переключения в состояние Q = 1 подадим на входы комбинацию S = 1, R = 0. Тог­да на выходе элемента Э2 установится логический 0, на входах элемента Э, будут одновременно действовать логические 0 и на выходе Q установится логическая 1 — триггер переключается в новое состояние (Q = 1, C:\Users\C0BA~1\AppData\Local\Temp\FineReader12.00\media\image1.png = 0). Для его переключения из этого состояния на входы должна поступить комбинация S = 0, R = 1. После этого на выходе Q будет логический 0, на входах элемента Э2 одновременно окажутся логические 0 и его выход примет по­тенциал, соответствующий Q = 1, —триггер переключается в со­стояние Q = 0, C:\Users\C0BA~1\AppData\Local\Temp\FineReader12.00\media\image1.png = 1 (рис. 3.33).

Рис. 3.33. Временные диаграммы RS -триггера



Условное графическое изображение асинхронного RS-триггера со статическими входами приведено на рис. 3.32,б.

*R-S-триггер на элементах И*—*НЕ.*

Для элемента И—НЕ актив­ным сигналом является логический 0: наличие его хотя бы на од­ном входе обусловливает на выходе логическую 1 вне зависимости от сигналов на других входах. Логическая 1 для такого элемента является пассивным сигналом. С ее поступлением на вход состояние выхода элемента не изменяется. В силу сказанного,триггер на элементах И—НЕ (рис. 3.34) переключается логичес­ким 0. На условном изображении такого триггера это отражают инверсными входами.

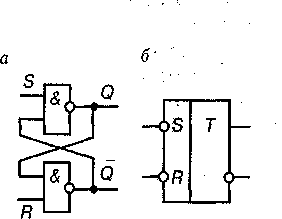


Рис. 3.34. Интегральный RS-триггер на элементах И—НЕ (а) и его условное обозначение (б)

Для данного триггера комбинация входных сигналов S = 0, R = 0 является запрещенной, а комбинация S’ = 1, R = 1 не меняет его пре­дыдущего состояния.

Синхронный RSC-триггер.

На входы логического элемента или устройства сигналы не всегда поступают одновременно, так как перед этим могут проходить через разное число узлов, не обладающих к тому же одинаковой задержкой. Это явление называют состязаниями (или гонками). В результате его в течение некоторого времени на входах создастся непредвиденная ситуация: новые значения одних сигналов сочетаются с предыдущими значениями других, что может привести к ложному срабатыванию элемента (устройства).

.

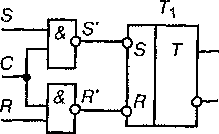


Рис. 3.35. синхронный триггер RSC-типа в базисе И-НЕ

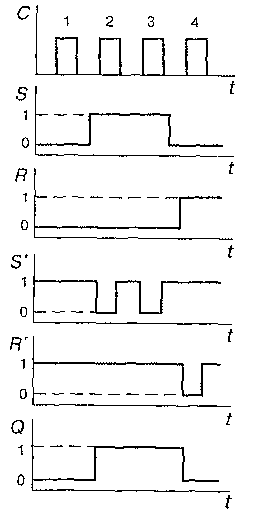


Рис.. 3.36 Временные диаграммы RSC-триггера в базисе И-НЕ

Последствия гонок можно устранить временным стробированием, когда на элемент кроме информационных сигналов подаются тактирующие (синхронизирующие) импульсы, к моменту прихода которых информационные сигналы заведомоуспевают установиться на входах.

*Одноступенчатый синхронный RSC- триггер*.

На рис. 3.35 дана схема тактируемого RSC- триггера, основу которого составляет асинхронный *RS – триггер с инверсными входами. Чтобы обеспечить переключающий логический 0 на соответствующем входе Т1, в схеме использованы элементы И-НЕ. Логический 0 на выходе такого элемента будет при логических 1 на его входах, т.е. при S=1, C=1 или при R=1, С=1.*

***4.******Счетчики***

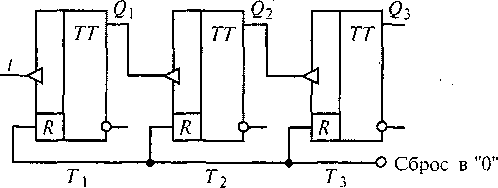
Счетчик предназначен для счета поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Поэтому счетчик состоит из за­поминающих ячеек-триггеров.

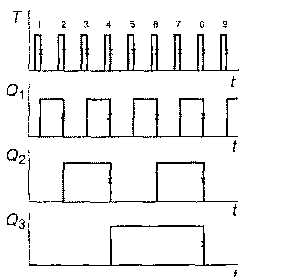
Между собой ячейки счетчика соединяются таким образом, чтобы каждому числу импульсов соответствовали единичные со­стояния определенных ячеек. При этом совокупность единиц и ну­лей на выходах п ячеек счетчика представляет собой «-разрядное двоичное число, которое однозначно определяет количество про­шедших на входе импульсов. Поэтому ячейки счетчика называют его разрядами.

Каждый разряд счетчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счетчик, называют его емкостью, модулем счета или коэффициен­том пересчета.

Если с каждым входным импульсом зарегистрированное («записан­ное») в счетчике число увеличивается, то такой счетчик — суммирую­щий, если же оно уменьшается, то — вычитающий. Счетчик, работаю­щий как на сложение, так и на вычитание, называют реверсивным.

Счетчик, у которого под воздействием входного импульса пере­ключение соответствующих разрядов происходит последовательно друг за другом, называют асинхронным, а когда переключение про­исходит одновременно (или почти одновременно), — синхронным.

 Рис. 3.48. Суммирующий асинхронный счетчик

Рис. 3.49 Временные диаграммы для суммирующего

асинхронного счетчика

Если счетчик используется по прямому назначению, то его емкость Ксч должна превышать максимально возможное число поступающих импульсов, если же его применять для деления частоты входных импульсов, то его емкость должна равняться требуемому коэффициенту деления.

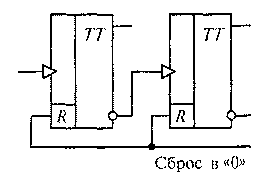
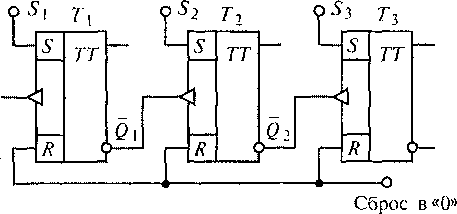
 

Рис. 3.50. Суммирующий асинхронный счетчик,

уп­равляемый перепадом 0/1

Рис. 3.51. Вычитающий асинхронный счетчик

5**. Регистры**

Регистр предназначен для хранения двоичного числа (слова). Поэтому основу его составляют запоминающие элементы — триг­геры. В каждом из них должна храниться цифра определенного разряда числа. Регистр может также осуществлять сдвиг принято­го слова, преобразование двоичного кода из прямого в обратный (когда единицы заменяются нулями, а нули — единицами) и на­оборот, логические сложение и умножение,

В зависимости от способа ввода и вывода разрядов числа разли­чают регистры параллельные, последовательные и параллельно­-последовательные. В параллельном регистре ввод и вывод слова осуществляются в параллельной форме — одновременно всех раз­рядов; в последовательном разряды числа вводятся и выводятся последовательно; в параллельно-последовательном регистре ввод числа осуществляется в параллельной форме, а вывод — в последо­вательной или наоборот.

Ввод и вывод информации в параллельном регистре может осуществляться однофазным и парафазным способами. При од­нофазном — число представляется в прямом или обратном коде; при парафазном — одновременно в прямом и обратном кодах.

Интегральные микросхемы регистров.

Отечественная промышленность выпускает многие типы регистров в виде микросхем. На рис. 3.60 приведено условное изображение четырехразрядного сдвигающего регистра (микросхема серии К 155). Через вход V1 в первый разряд регистра последовательно вводятся дятся разряды двоичного числа. По Dj...D4 входам в регистр может быть занесено двоичное число в параллельной форме — всеми разря­дами одновременно.

Выбор режима (последовательный или параллельный ввод числа) определяется сигналом на входе V2: при логическом «О» регистр ра­ботает как сдвигающий, а при логической «1» — как параллельный.

Синхроимпульсы, поступающие на вход Сх, обеспечивают сдвиг разрядов числа, вводимых в регистр последовательно. По синхроимпульсу на входе С2 происходит параллельная запись разрядов числа в регистр со входов Dl...D4.

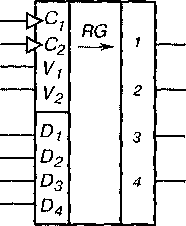


Рис. 3.60. Условное обозначение регистра (микросхема серии К155)